

(19) 日本国特許庁 (J P)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表2002-522915

(P2002-522915A)

(43) 公表日 平成14年7月23日 (2002.7.23)

(51) Int.Cl. ⁷	識別記号	F I	テマコード (参考)
H 0 1 L 27/105		G 1 1 C 11/14	A 5 F 0 8 3
G 1 1 C 11/14		11/15	
11/15		H 0 1 L 43/08	U
H 0 1 L 43/08			Z
		43/12	
審査請求 未請求 予備審査請求 有 (全 32 頁) 最終頁に続く			

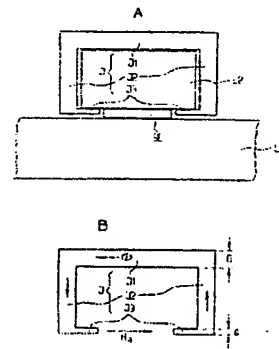
(21) 出願番号 特願2000-565541 (P2000-565541)
 (86) (22) 出願日 平成11年8月2日 (1999.8.2)
 (85) 翻訳文提出日 平成13年2月9日 (2001.2.9)
 (86) 国際出願番号 PCT/DE 99/02402
 (87) 国際公開番号 WO 00/10172
 (87) 国際公開日 平成12年2月24日 (2000.2.24)
 (31) 優先権主張番号 198 36 567.5
 (32) 優先日 平成10年8月12日 (1998.8.12)
 (33) 優先権主張国 ドイツ (DE)
 (81) 指定国 EP (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), CN, JP, KR, US

(71) 出願人 インフィネオン テクノロジース アクチ
 エンゲゼルシャフト
 ドイツ連邦共和国 ミュンヘン ザンクト
 マルティン シュトラーセ 53
 (72) 発明者 ジークフリート シュヴァルツル
 ドイツ連邦共和国 ノイビベルク ヨーゼ
 フーケライン-シュトラーセ 11 ベー
 (74) 代理人 弁理士 矢野 敏雄 (外4名)
 Fターム (参考) 5F083 FZ10 GA05 GA12 GA27 JA36
 JA56 JA60 PR03 PR21 PR22
 PR40

(54) 【発明の名称】 メモリセル装置及び該メモリセル装置の製造方法

(57) 【要約】

メモリセル装置において、第1及び第2の導体が設けられており、それらの交点に磁気抵抗効果を有するメモリ素子が設けられている。各導体の内の一方をそれぞれ囲み、且つ、少なくとも10の透磁率の磁化可能材料を含むヨークが設けられている。ヨークは、当該ヨークを通る磁束が実質的にメモリ素子を介して閉じられるように設けられている。



【特許請求の範囲】

【請求項1】 メモリセル装置において、

- －第1の導体（L1）及び第2の導体（L2）及び磁気抵抗効果を有するメモリ素子（SE）を設け、
 - －前記第1の導体（L1）と前記第2の導体（L2）との交点位置に前記メモリ素子を設け、
 - －ヨーク（J）を設け、該ヨークは、前記各導体の内の一方（L2）を部分的に囲み、且つ、少なくとも10の相対透磁率の磁化可能材料を含み、
 - －前記ヨーク（J）は、当該ヨークを通る磁束が実質的に前記メモリ素子（SE）を介して閉じられるように設けられている
- ことを特徴とするメモリセル装置。

【請求項2】 ヨーク（J）は、軟磁性、強磁性材料を含む請求項1記載のメモリセル装置。

【請求項3】 メモリ素子（SE）は、第1の導体（L1）と第2の導体（L2）との間に接続されている請求項1又は2記載のメモリセル装置。

【請求項4】 導体（5, 13）、メモリ素子（7, 8, 9）及びヨーク（4'）は、基板（1, 2）内に集積化されて含まれている請求項1から3迄の何れか1記載のメモリセル装置。

【請求項5】 請求項4記載のメモリセル装置であって、

- －基板は、主平面を有する坦体板（1）を有しており、前記坦体板（1）は、前記主平面上に第1の絶縁層（2）を有しており、
- －前記第1の絶縁層（2）内に溝（3）が設けられており、該溝の底部及び側面部には、ヨーク（4'）が隣接していて、該溝内に、第1の導体（5）が設けられており、
- －メモリ素子（7, 8, 9）は、ヨークの上側及び前記第1の導体の表面に設けられている

メモリ装置。

【請求項6】 請求項4記載のメモリセル装置であって、

- －基板は、主平面を有する坦体板（１）を有しており、前記坦体板（１）は、前記主平面上に第１の絶縁層（２）を有しており、
- －前記第１の絶縁層（２）内に溝（３）が設けられており、該溝内に、第１の導体（５）が設けられており、
- －メモリ素子（７，８，９）は、前記第１の導体（５）の表面に設けられており、
- －前記メモリ素子（７，８，９）の上側に、第２の導体（１３）が設けられており、
- －ヨーク（１２，１４）は、メモリ素子（７，８，９）の上側で前記第２の導体（１３）の側面及びメモリ素子と反対側の表面に隣接しており、
- －第２の絶縁層（１０）が設けられており、該絶縁層は、前記第２の導体（１３）及び前記ヨーク（１２，１４）を部分的に囲むメモリ装置。

【請求項７】 請求項１から３迄の何れか１記載のメモリセル装置であって、

- －第１のヨーク（４'）及び第２のヨーク（１２，１４）が設けられており、前記第１のヨーク（４'）及び第２のヨーク（１２，１４）は、各々、各導体（５，１３）の内的一方を部分的に囲み、各々少なくとも１０の相対透磁率の磁化可能材料を含み、
- －前記第１のヨーク（４'）は、当該第１のヨーク（４'）を通る磁束が実質的にメモリ素子（７，８，９）を介して閉じられるように設けられており、
- －前記第２のヨークは、当該第２のヨーク（１２，１４）を通る磁束が実質的にメモリ素子（７，８，９）を介して閉じられるように設けられているメモリ装置。

【請求項８】 請求項７記載のメモリセル装置であって、

- －各導体（５，１３）、メモリ素子（７，８，９）及び第１のヨーク（４'）及び第２のヨーク（１２，１４）は、基板内に集積化されて含まれており、
- －前記基板は、主平面上のある坦体板（１）を有しており、該坦体板は、第１の絶縁層（２）を前記主平面上に有しており、

－前記第1の絶縁層(2)内に溝(3)が設けられており、該溝の底部及び側縁には、前記第1のヨーク(4')が隣接していて、第1の導体(5)が設けられており、

－前記メモリ素子(7, 8, 9)は、前記第1のヨーク(4')及び前記第1の導体(5)の上側に設けられており、

－前記メモリ素子の上側には、第2の導体(13)が設けられており、

－前記第2のヨーク(12, 14)は、前記メモリ素子(7, 8, 9)の上側で、第2の導体(13)の、側縁及び前記メモリ素子(7, 8, 9)とは反対側の表面に隣接しており、

－第2の絶縁層(10)が設けられており、該第2の絶縁層は、第2の導体(13)及び第2のヨーク(12, 14)を少なくとも部分的に囲むメモリ装置。

【請求項9】 請求項1から16迄の何れか1記載のメモリセル装置であって、

－相互に平行に形成された第1の導体と相互に平行に形成された第2の導体とが設けられており、

－各々1つの、磁気抵抗効果のあるメモリ素子と、少なくとも1つのヨークとが、一对の第1の導体と第2の導体との間に接続されており、前記ヨークは、前記各導体の1つを部分的に囲み、前記ヨークは、少なくとも10の透磁率の磁化可能材料を含み、且つ、当該ヨークを通る磁束が実質的に前記メモリ素子を介して閉じられるように構成されている

メモリセル装置。

【請求項10】 請求項7又は8記載のメモリセル装置であって、

－相互に平行な第1の導体と相互に平行な第2の導体とが設けられており、

－各々1つの、磁気抵抗効果のあるメモリ素子、第1のヨーク及び第2のヨークが、一对の第1の導体と第2の導体との間に接続されており、前記第1のヨークは、前記第1の導体の1つを部分的に囲み、少なくとも10の透磁率の磁化可能材料を含み、且つ、当該ヨークを通る磁束が実質的に前記メモリ素子を介して閉じられるように構成されており、前記第2のヨークは、前記第2の導体の1つを

部分的に囲み、少なくとも10の透磁率の磁化可能材料を含み、且つ、当該第2のヨークを通る磁束が実質的に前記メモリ素子を介して閉じられるように構成されている

メモリセル装置。

【請求項11】 請求項1から10迄の何れか1記載のメモリセル装置であって、

－単数乃至複数のメモリ素子は、各要素Fe、Ni、Co、Cr、Mn、Gd、Dy、 Al_2O_3 、NiO、 HfO_2 、 TiO_2 、NbO、 SiO_2 の少なくとも1つを含み、

－単数乃至複数のヨークは、要素、Fe、Ni、Co、Cr、Mn、Gd、Dyの少なくとも1つを含んでいる

メモリセル装置。

【請求項12】 メモリセル装置の製造方法において、

－坦体板(1)上に第1の絶縁層(2)が堆積されており、前記第1の絶縁層(2)内に第1の溝(3)が形成されており、

－少なくとも10の透磁率の磁化可能材料製の第1のヨーク(4')が形成されており、前記第1のヨークは、前記溝(3)の側壁及び底部に隣接しており、

－前記第1の溝(3)内には、第1の導体(5)が形成されており、

－第1のヨーク(4')の上側には、磁気抵抗効果のあるメモリ素子(7, 8, 9)が形成されており、前記メモリ素子(7, 8, 9)は、前記第1の導体(5)と接続されており、

－前記メモリ素子(7, 8, 9)の上側に、第2の導体が形成されており、該第2の導体は、メモリ素子(7, 8, 9)と接続されている

ことを特徴とする製造方法。

【請求項13】 請求項12記載の方法であって、

－第1のヨーク(4')の形成のために、第2の絶縁層(10)を堆積し、前記第2の絶縁層(10)に第2の溝(11)を形成し、

－前記第2の溝(11)の側縁に、少なくとも10の透磁率の磁化可能材料製のスペーサ(12)を形成し、

－前記第2の溝(11)内に、第2の導体(13)を形成し、

ーヨーク（１４）を、少なくとも１０の透磁率の磁化可能材料から形成し、前記ヨークは、メモリ素子（７，８，９）の上側で前記第２の導体（１３）を部分的に被覆し、前記ヨークは、磁化可能材料製のスペーサ（１２）と結合されており、その結果、前記スペーサ（１２）及びヨーク部（１４）は、第２のヨークを形成する方法。

【請求項１４】 第１の導体（５）及び第２の導体（１３）の上部を金属層の析出及び化学的機械的研磨によって形成する請求項１２又は１３記載の方法。

【発明の詳細な説明】

【0001】

本発明は、メモリセル装置及び該メモリセル装置の製造方法に関する。

【0002】

文献”Technologie Analyse XMR-Technologien, Technologiefrueherkennung, 著者Stefan Mengel, 編集 VDI-Technologiezentrum Physikalische Technologie”から、磁気抵抗効果のある層構造が公知である。層構造の構成に応じて、GMR素子、TMR素子、AMR素子、CMR素子が区別される。GMR素子の技術概念は、層構造の専門領域で使用されており、少なくとも2つの強磁性層と、当該2つの強磁性層間に設けられた非磁性導電層を有していて、GMR (giant magnetoresistance) 効果、即ち、AMR (anisotropic magnetoresistance) 効果に比較して大きな磁気抵抗効果を示す層構造である。GMR効果とは、GMR素子の電気抵抗が、層平面に対して平行な電流 (CIP current in plane) の場合にも、層平面に対して垂直な電流 (CPP current perpendicular to plane) の場合にも、両強磁性層内の磁化が平行又は逆平行に配向されているかどうか依存するという事実である。抵抗は、その際、磁化の配向に依存して、 $\Delta R/R=5\% \sim 20\%$ だけ環境温度で変化する。

【0003】

TMR素子の技術概念は、「トンネリング・マグネトレジスタンス” Tunneling Magnetoresistance”」層構造の専門分野で使用されており、少なくとも2つの強磁性層と、当該2つの強磁性層間に設けられた絶縁非磁性層を有している。絶縁層は、その際、両強磁性層間にトンネル電流が流れる程度に薄い。この層構造は、同様に、磁気抵抗効果を示し、つまり、両強磁性層間に設けられた絶縁非磁性層によるスピン分極トンネル電流によって磁気抵抗効果が生じる。この場合にも、TMR素子 (CPP構成) の電気抵抗は、両強磁性層内の磁化が平行又は逆平行に配向されているかどうか依存する。抵抗は、 $\Delta R/R=10\% \sim 30\%$ だけ環境温度で変化する。

【0004】

AMR効果は、磁化された導体内の抵抗が、磁化方向に対して平行及び垂直方向に異なっていることによって生じる。この効果は、容積効果であり、従って、強

磁性単一層内で生じる。

【0005】

これ以外の磁気抵抗効果（その大きさ（ $\Delta R/R=100\% \sim 400\%$ 、環境温度で）のために、Colossal 磁気抵抗効果と呼ばれる）は、その高い保持力のために、磁化状態間で切り換えるために高い磁場を必要とする。

【0006】

GMR素子をメモリセル装置内のメモリ素子として使用することが提案されている（例えば、D. D. Tang, P. K. Wang, V. S. Speriosu, S. Le, K. K. Kung, "Spin Valve RAM Cell", IEEE Transaction on Magnetism, Vol. 31, No. 6, Nov. 1996, 3206ページ参照）。その際、GMR素子の一方の強磁性層の磁化方向は、例えば、隣接の反強磁性層によって保持される。相互に交差しているx及びy線が設けられている。x/y線の交点に、各々1つのメモリセルが設けられている。情報の書き込みのために、x/y線に、磁化状態を変えるのに十分な磁場を交点に生じる信号が供給される。情報を読み出すためには、両磁化状態間で当該メモリセルをスイッチングする信号がx/y線に供給される。メモリ素子を通る電流が測定されると、この電流から、抵抗値、従って、情報を検出することができる。

【0007】

その際、書き込み及び読み出しのために、 $8A/cm \sim 80A/cm$ に相応する $10\text{ Oe} \sim 100\text{ Oe}$ の局所磁場が必要である。その際、線にできる限り僅かな電流しか流さずに磁場を形成するようにされる。

【0008】

しかし、微小化技術の進歩により、局所磁場の形成に必要な電流密度は益々大きくなっている。付加的に、寸法が小さくなるに連れて、磁気的なスイッチング用磁場の閾値は上昇する、つまり、スイッチングのために一層高い電流を必要とするという作用が観察されている（M. H. Kryder, Kie Y. Ahn, N. J. Mazzeo, S. Schwarzl, 及び、S. M. Kane, "Magnetic Properties and Domain Structures in Narrow NiFe Stripes", IEEE Transactions on Magnetism, Vol. Mag.-16, No. 1, Janur 1980, 99ページ）。

【0009】

従って、本発明が基づく課題は、従来技術よりも僅かな電流及び電流密度でプログラミング可能な、磁気抵抗効果のあるメモリ素子を有するメモリセル装置を提供することである。更に、そのようなメモリセル装置の製造方法を提供することにある。

【0010】

本発明によると、この課題は、請求項1記載のメモリセル装置並びに請求項12記載の、メモリセル装置の製造方法により解決される。本発明の有利な実施例は、その他の従属請求項から得られる。

【0011】

メモリセル装置には、少なくとも1つの第1の導体、第2の導体及び磁気抵抗効果を有するメモリ素子が設けられており、メモリ素子は、第1の導体と第2の導体との交点に設けられている。有利には、メモリ素子は、第1の導体と第2の導体との間に接続されている。更に、ヨークが設けられており、このヨークは、各導体の内の少なくとも一方を部分的に囲み、且つ、少なくとも10の相対透磁率の磁化可能材料を含む。このヨークは、当該ヨークを通る磁束が実質的にメモリ素子を介して閉じるように設けられている。メモリセルの書き込みのためには、第1の導体と第2の導体とに電流を給電する際、第1の導体の磁場と第2の導体の磁場とがメモリ素子の位置で重畳されて、メモリ素子のスイッチング閾値を超過する磁場が形成される。

【0012】

ヨークは、その際、ヨークによって部分的に囲まれている導体に電流を流して形成した磁場によって磁化される。そうすることによって、誘導磁束密度 B を係数 μ_r （相対透磁率）だけ大きくすることができる。そうすることによって、ヨークの端面に磁極が形成され、各磁極間に磁場が形成される。この磁場は、ヨークの材料の選択に依存して非常に高い値となり、メモリ素子のスイッチングのために利用される。従って、導体内の同じ電流密度で、著しく高い磁場がメモリ素子のスイッチングのために達成される。

【0013】

ヨークは、強磁性及びフェリ磁性材料製にするとよい。

【0014】

ヨークは、有利には、軟磁性、強磁性層、例えば、Fe, Ni, Co, mn, MnBi, FeSi-, FeNi-, FeCo-, FeAl合金又は軟磁性フェライトから形成されている。

【0015】

メモリセル装置内に磁束コンセントレータを用いることは、米国特許第4455626号明細書既に提案されている。そこには、メモリ素子として、磁化が情報に依存して2つの隣り合った書き込み線によって変えられる。情報の読み出しのためには、磁気抵抗センサが設けられており、この磁気抵抗センサは、メモリ層の下側に、読み出し線と共に磁場コンセントレータと呼ばれる、磁化可能材料製の平面層の間隙内に設けられている。この磁場コンセントレータによって、メモリ層の磁束は、磁気抵抗センサにコンセントレートされる。この装置構成は、磁気メモリ層の磁化方向を切り換えるためにリニアな書き込み線中の電流の効率を高めるために設けられてはおらず、そのためには適していない。

【0016】

本発明のメモリセル装置では、メモリセルとして、CPP装置構成 (current perpendicular to plane) での全ての公知のTMR素子及びGMR素子が適している。層内に平行に電流が流れる (CIP: current in plane) 場合よりも、層スタックを通過して垂直に電流が流れる (CPP) 場合、GMR効果は大きい。更に、全てのXMR素子が適しており、XMR素子は、抵抗の異なった少なくとも2つの磁化状態を有しており、磁場 (その高さは、メモリ用途に適している) の印加によって、これらの磁化状態間でスイッチングされる。殊に、CMR素子を用いることができる。と言うのは、ヨークによって、所要の磁場強度が達成可能であるからである。

【0017】

有利には、メモリ素子は、各々2つの強磁性層及び当該2つの強磁性層間に設けられた非磁性絶縁 (TMR) 乃至導電 (GMR) 層を有している。強磁性層は、各々2つの磁化状態を有している。有利には、絶縁、非磁性層を利用するとよく (TMR素子)、つまり、そうすることによって、比較的高い素子抵抗 ($\geq 100\text{k}\Omega$) が達成可能であり、この素子抵抗は、電力消費及び信号/雑音比に関して有利である。

【0018】

各強磁性層の一方は、有利には、反強磁性層に隣接して設けられており、この反強磁性層は、隣接強磁性層内の磁化方向を固定する。反強磁性層には、特に、要素Fe, Mn, Ni, Cr, Co, V, Ir, Tb及び0の少なくとも1つを含む材料が適している。

【0019】

択一選択的に、メモリ素子が各々2つの強磁性層と、当該2つの強磁性層間に設けられた非磁性層を有するようにしてもよく、その際、各強磁性層の一方は、他方の強磁性層よりも磁氣的に硬く、即ち、一方の強磁性層しか磁化方向を変えず、他方の強磁性層は何ら作用されないままである。非強磁性層は、絶縁又は非絶縁にするとよい。

【0020】

択一選択的に、両強磁性層は、実質的に同一材料成分を有するようにしてもよく、その際、磁化方向は、各強磁性層の一方内でヨークを介して所期のように切り換えることができる。

【0021】

強磁性層には、特に、要素Fe, Ni, Co, Cr, Mn, Gd, Dyの少なくとも1つを含む材料が適している。CIP構成でのGMR素子の場合、強磁性層の厚みは、有利には、2~10nmの領域内である。CPP構成でのGMR及びTMR素子の場合、強磁性層の厚みは更に一層大きい（例えば、100~200nm）。トンネルアイソレータとして作用する非磁性層には、絶縁材料としてAl₂O₃, MgO, NiO, HfO₂, TiO₂, NbO又はSiO₂が適している。非磁性層用の非絶縁材料としては、Cu又はAgが適している。非磁性層の厚みは、1~4nmの範囲内、有利には、2~3nmの範囲内である。

【0022】

メモリ素子は、有利には、0.05 μ m~20 μ mの範囲内の寸法を有している。メモリ素子は、特に正方形又は長く延びた形に構成するとよい。

【0023】

有利には、導体、メモリ素子及びヨークは、基板内に集積化して含まれている。特に有利には、坦体板が殊に半導体材料、特殊な単結晶シリコンを含む基板を利用するとよい。と言うのは、この場合には、集積化されたメモリセル装置は、

シリコン処理技術の方法を用いて製造可能であるからである。そうすることによって、メモリセル装置内の高いパッキング密度を達成可能である。更に、周辺部を同様に基板内に集積化することができる。

【0024】

本発明の構成によると、坦体板上の基板は、第1の絶縁層を有しており、この第1の層には溝が設けられている。この溝内には、第1の導体が設けられている。第1の導体の上側には、メモリ素子が設けられており、このメモリ素子の上側には、第2の導体が設けられている。ヨークは、第1の導体か、又は、第2の導体を部分的に囲む。このヨークが第1の導体を部分的に囲む際、このヨークは、溝の側面及び底面に隣接し、第1の絶縁層内に溝を形成した後層析出によって形成可能である。ヨークが第2の導体を囲む際、このヨークは、第2の導体の側面及びメモリ素子とは反対側の表面に隣接し、層析出及びスペーサエッチングによって形成可能である。

【0025】

有利には、前述のヨークと同様に構成された第1のヨーク及び第2のヨークが設けられており、第1のヨークによって第1の導体が部分的に囲まれており、第2のヨークが第2の導体を部分的に囲んでいる。第1のヨークも第2のヨークも、第1のヨーク乃至第2のヨークを通る磁束が実質的にメモリ素子を介して閉じられるように設けられている。このような構成の利点は、通電状態の第1の導体によって形成された磁場も、通電状態の第2の導体によって形成された磁場も、第1ヨーク乃至第2のヨークを介して、メモリ素子の個所の磁場を強くする点にある。

【0026】

メモリセル装置内では、メモリセルが、第1の導体と第2の導体とによって、第1の導体と第2の導体との間で、メモリ素子がスイッチングされるようにして選択される。第1の導体と第2の導体は、メモリ素子の領域内で、相互に平行に形成してもよく、相互に垂直に形成してもよい。相応して、メモリ素子の個所で、相互に平行に配向された磁場又は相互に垂直に配向された磁場が重畳される。

【0027】

高いメモリ密度を達成するために、有利には、ヨーク、第1の導体及び第2の導体を有する多数のメモリ素子を設けるとよい。有利には、ラスタ状に設けられたメモリ素子は、各々第1の導体と第二の導体との交点に設けられている。

【0028】

本発明のメモリセル装置では、所与の電流強度の場合、著しく高い、少なくとも係数10~100だけ高い局所磁場が形成されるので、導体内には、同じ導体横断面で著しく僅かな電流密度しか生じない。メモリセル装置を極めて微小化した場合でも、所要の電流密度が、電気移動によって所定の限界以下となる。

【0029】

高い局所磁場が同じ電流強度で達成可能であるので、メモリ素子に、10^{0e}よりも著しく高い保持電界強度を有している磁氣的に硬い層を利用してもよい。磁氣的に硬い層からなるメモリ素子の利点は、外部の磁氣的な妨害に対して影響を受けないという点にある。従って、磁場遮蔽の要求を比較的小さくすることができる。更に、データ損失の危険性を小さくすることができる。

【0030】

比較的小さな電流密度によって、導体の高さ、従って、アスペクト比を大きくする必要がなくなる。従って、メモリセル装置は、メモリ密度を高めるためにスタック構成にするのにも適している。

【0031】

同じ磁場を達成するのに必要な比較的小さな電流強度により、書き込み及び読み出し過程での電力消費を著しく小さくすることができる。

【0032】

以下、本発明について図示の実施例を用いて詳細に説明する。

【0033】

図1 aは、第1の導体と第2の導体との間に接続されたメモリ素子の断面を示しており、その際、ヨークは、各導体の内の一方を部分的に囲んでおり、
図1 bは、図1 aに示されたヨークの断面を示し、
図2 aは、第1の導体と第2の導体との間に接続されたメモリ素子を示し、その際、第1の導体は、部分的にヨークによって囲まれており、

図2 bは、図2 aに示されたヨークとメモリ素子の部分を示し、

図3は、強磁性層の析出による溝エッチング後の基板の部分を示し、

図4は、図3に示された、第1のヨークと溝内の第1の導体の形成後の基板の部分を示し、

図5は、図4に示された、絶縁層によって囲まれた第1の強磁性層の形成後の基板の部分を示し、

図6 aは、図5に示された、トンネル層と第2の強磁性層との形成後の基板の部分を示し、

図6 bは、図6 aに示された、絶縁層の析出後であって、第2の溝の形成後のb-bで示された部分を示し、図6 aに示された部分は、図6 bではa-aで示されており、

図7は、図6 bに示された、第2の強磁性層の上側にスペーサ及び第2の導体の形成後の部分を示し、

図8は、図7に示された、スペーサと共に第2のヨークを形成する第2の導体の上側の被覆層の形成後の基板の部分を示し、

図9は、メモリ素子として磁気抵抗素子を有するメモリセル装置の部分を示す。

【0034】

磁気抵抗効果のあるメモリ素子は、例えば、AlCu製の第1の導体L1と、例えば、AlCu製の第2の導体L2との間に設けられている。メモリ素子SEは、電氣的に第1の導体L1にも第2の導体L2にも接続されている。第1の導体L1及び第2の導体L2は、相互に垂直である。第1の導体L1と第2の導体L2との交点には、メモリ素子SEが設けられている。

【0035】

第2の導体L2は、部分的にヨークJによって囲まれている（図1 a参照）。このヨークJは、上側部分J1、2つの側方部分J2並びに下側部分J3を有している。上側部分J1は、メモリ素子SEと反対側の表面に、第2の導体L2が隣接している。側方部分J2は、上側部分J1及び第2の導体L2の側壁に隣接している。下側部分J3は、側方部分J2及び第2の導体L2の表面の、メモリ素子SEの隣の部分に隣接している。ヨークJは、鉄製である。更に、Fe、FeNi、

Ni, Co等の全ての軟磁性材料が適している。第1の導体L1及び第2の導体L2を
通って拡がっている平面に対して垂直な上側部分J1の厚みD、並びに、第1
の導体L1及び第2の導体L2に対して平行な側方部分J2の比較可能な厚みは
、導体L2の幅の約20%である。第1の導体L1及び第2の導体L2によって
拡げられた平面に対して垂直な下側部分J3の厚みdは、少なくともメモリ素子
SEの厚みに等しく、導体路L2の幅の最大約20%である（図1b参照）。

【0036】

第2の導体L2に電流が流されると、導体L2の外側に磁場Hが形成される。
この磁場は、ヨークJ内に磁束 $\phi = \mu_0 \mu_r H$ を形成し、この磁束は、磁気回路内
で近似的に一定である。ヨークの上側部分J1では、磁束は、 $\phi = \mu_0 \mu_r F H$
であり、その際、 $F = D/b$ は、ヨーク部分J1及びJ2の横断面であり、bは、
図面に対して垂直方向のヨークJの拡がりである。ヨークJの下側部分J3内
では、磁束は、 $\phi = \mu_0 \mu_r f H$ であり、その際、 $f = d/b$ は、部分J3の横断面
である。ヨークJの下側部分J3は、相互に反対側の端面に磁極を有している。
各磁極P間に磁場 H_a が形成され、この磁場に対しては、磁束が一定であるため
に近似的に： $H_a = \mu_r F/f H$ が成立する。他方、飽和時に軟磁性材料内の最大
達成可能な磁場強度は、極片材料の飽和磁化 M_s によって特定され、 $H_a = F/f (H +$
 $M_s) \Rightarrow (F/f) M_s$ が成立する。飽和磁化 M_s に比して、10~100 A/cmの大きさで
ある磁場は大抵無視し得る。

【0037】

鉄の飽和誘導は、 $\mu_0 M_s$ (M_s :飽和磁化) = 2.1 T である。最大達成可能な磁
場強度 H_a は、従って、 F/f が1に等しい場合に、 1.67×10^6 A/m (21 kOe) で
ある。この考察では、ヨークJの下側部分と、メモリ素子SEとの間の漏れ磁束
損は無視し得るものとされている。

【0038】

磁気抵抗効果のあるメモリ素子SE'は、第1の導体L1'と第2の導体L2'
'との間に接続されている（図2a参照）。第1の導体L1'は、部分的にヨー
クJ'によって囲まれている。ヨークJ'は、下側部分J1'と2つの側方部分
J2'を有している。第1の導体L1'と第2の導体L2'を通して拡がってい

る面に対して垂直に、ヨークJ1'の下側部分J1'は、導体L1'の幅の約20%の厚みDを有している(図2b参照)。第1の導体L1'と第2の導体L2'が拡がっている面に対して垂直な、メモリ素子SE'の厚みは、 $d=20\text{nm}\sim 100\text{nm}$ である。

【0039】

第1の導体L1'に電流が流れると、磁場Hが形成され、この磁場により、ヨークJ'及びメモリ素子SE'内に磁束 ϕ が生じる。そうすることによって、電流の極性に依存してメモリ素子をスイッチングすることができる。図1a及び1bに関連して説明した実施例と同様に、製造に関連している説明される、この実施例でも、導体電流によって形成される、メモリ素子SE'の個所で、磁場を比較可能に増強し、且つ、濃縮することができる。

【0040】

このように、磁場の濃度を変えることによって、ヨークJ2'が隣接している縁領域内のメモリ素子内に不均一な磁場分布が形成される。これにより、切換作用が妨げられることはないが、読み出しの際に考慮する必要がある。

【0041】

図3～8を用いて、以下、 $0.18\mu\text{m}$ テクノロジーでのメモリセル装置の製造について説明する。

【0042】

単結晶シリコン製の坦体板1上に、 SiO_2 製の第1の絶縁層が堆積されている。第1の絶縁層2は、 $300\sim 400\text{nm}$ の厚みを有している。フォトリソグラフィプロセスステップを使用することによって、第1の絶縁層2内に第1の溝3が形成される。第1の溝3は、 $200\sim 300\text{nm}$ の深さ、 $250\sim 300\text{nm}$ の幅及びセルフフィールドに依存する $50\mu\text{m}\sim 400\mu\text{m}$ の長さを有している。

【0043】

続いて、Fe又はパーマロイ($\text{Ni}_{80}\text{Fe}_{20}$)製の第1の軟磁性層4が、 $20\sim 60\text{nm}$ の層厚で析出される。軟磁性層4の厚みは、第1の溝3の幅の約10～20%である。析出は、スパッタリング、蒸着、CVD、電鍍加工(エレクトロプレーティング)等によって行われる(図3参照)。フォトリソグラフィプロセスステ

ップ及び異方性エッチングを用いて、第1の軟磁性層4は、第1の溝3の方向に対して横方向に構造形成され、その結果、この軟磁性層は、第1の溝3に交差するストリップを有している。

【0044】

AlCuを含み、第1の溝3の領域を完全に充填する金属化層を析出し、続いて、化学的機械的研磨することによって、第1の導体5が形成され、第1の軟磁性層4の構造化によって、第1のヨーク4'が形成される。図平面に対して垂直な第1のヨーク4'の拡がりは、先行の構造形成によって決められ、200~300nmである。第1の絶縁層2の表面が開けられると（図4参照）即座に、化学的機械的研磨は停止される。

【0045】

全面に亘って、SiO₂製の薄絶縁層6が層厚20~60nmで析出され、フォトリソグラフィプロセスステップを用いて、第1の導体5の表面が部分的に開けられるように構造形成される。続いて、析出及び化学的機械的研磨によって、第1の強磁性層7が形成される。第1の強磁性層7は、絶縁層6内の開口部を充填する。第1の強磁性層7は、第1の導体5と電気接続される（図5参照）。強磁性層7の厚みは、20~40nmであり、幅は、180~200nmであり、図平面に対して垂直な深さは、180~200nm（図5参照）である。第1の強磁性層7は、第1のヨーク4'に対して絶縁されている。

【0046】

2~4nm厚のアルミニウム酸化層(Al₂O₃)（図示していない）の反応性スパッタリングによって、第1の強磁性層7の表面には、Al₂O₃製のトンネルバリア層8が形成されている。

【0047】

第1の強磁性層7は、Co（又は、他の強磁性材料）から形成されている。

【0048】

析出及びフォトリソグラフィ構造形成によって、第2の強磁性層9がトンネル層の表面に形成される。第2の強磁性層9は、Co製である。第2の強磁性層9は、20~60nm厚、180~200nm幅、200~300nmの、第1の導体5の経過に対して交差

する方向での深さを有している（図6 a 及び6 b 参照）。

【0049】

SiO₂製の第2の絶縁層10は、層厚200～300nmで析出されている。フォトリソグラフィプロセスステップを用いて、第2の絶縁層10内に第2の溝11が形成される。第2の溝11の底部で、第2の強磁性層9の表面が部分的に開けられている。第2の溝11は、200～300nm幅、200～300nm深さ及び50～400μmの、導体5の経過に対して垂直な長さを有している。

【0050】

Fe又はNi₈₀Fe₂₀製の第2の軟磁性層の析出及び異方性エッチバックによって、第2の溝11の側縁にスペーサ12が形成される。スペーサ12の幅は、20～60nmである。この幅は、析出された第2の軟磁性層の厚みによって決められる。

【0051】

AlCuを有していて、200～400nm厚の金属化層を析出し、続いて化学的機械的研磨をして、化学的機械的研磨をSiO₂製の第2の絶縁層10の表面で停止することによって、第2の溝11内に第2の導体13を形成することができる。第2の導体13は、第2の溝11を完全に充填する（図7参照）。20～60nmの第3の軟磁性層の析出及びフォトリソグラフィプロセスステップを用いての構造化形成によって、第2の導体13の表面にヨーク部14が形成され、このヨーク部の横断面は、実質的に第2の強磁性層9の横断面に相応している。ヨーク部14及びスペーサ12は、共働して、第2の導体13を部分的に囲む第2のヨークを形成する。第2のヨークは、通電状態の第2の導体13によって形成された、第2の強磁性層9の個所での磁場を増強する。

【0052】

第1のヨーク4'は、通電状態の第1の導体5によって形成される磁場を増強する。第1の導体5及び第2の導体13は、第1の強磁性層7、トンネル層8及び第2の強磁性層9から形成された、磁気抵抗効果を示すメモリ素子を介して接続されている。第1の導体5及び第2の導体13を相応に制御することによって、メモリ素子の抵抗を測定することができる。このようにして、種々の磁化状

態で記憶された情報を読み出すことができる。

【0053】

情報の書き込みのためには、第1の導体5及び第2の導体13は制御されて、電流に基づいて第2の強磁性層9の個所に生じた磁場が、第2の強磁性層9の磁化状態を変えるのに十分であるようにされる。種々異なる材料特性量及び／又は強磁性層7、9に基づいて、第1の強磁性層7の磁化状態は変わらないままである。

【0054】

メモリセルSとして磁気抵抗素子を有するメモリセル装置の構成のために、メモリ素子Sは、ラスタ状に設けられている（図9参照）。その際、各メモリ素子Sは、第1の導体Le1と第2の導体Le2との間に接続されている。第1の各導体Le1は、相互に平行であり、且つ、相互に同様に平行な第2の導体Le2に交差している。

【図面の簡単な説明】

【図1】

aは、第1の導体と第2の導体との間に接続されたメモリ素子の断面を示しており、その際、ヨークは、各導体の内の一方を部分的に囲んでおり、bは、aに示されたヨークの断面を示す図

【図2】

aは、第1の導体と第2の導体との間に接続されたメモリ素子を示し、その際、第1の導体は、部分的にヨークによって囲まれており、bは、aに示されたヨークとメモリ素子の部分を示す図

【図3】

強磁性層の析出による溝エッチング後の基板の部分を示す図

【図4】

図3に示された、第1のヨークと溝内の第1の導体の形成後の基板の部分を示す図

【図5】

図4に示された、絶縁層によって囲まれた第1の強磁性層の形成後の基板の部

分を示す図

【図6】

aは、図5に示された、トンネル層と第2の強磁性層との形成後の基板の部分を示し、bは、aに示された、絶縁層の析出後であって、第2の溝の形成後のb-bで示された部分を示し、aに示された部分は、bではa-aで示されており

【図7】

図6 bに示された、第2の強磁性層の上側にスペーサ及び第2の導体の形成後の部分を示す図

【図8】

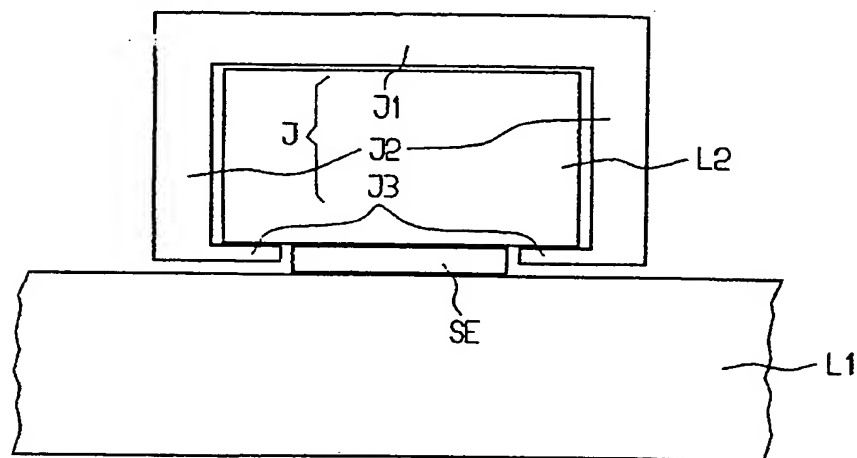
図7に示された、スペーサと共に第2のヨークを形成する第2の導体の上側の被覆層の形成後の基板の部分を示す図

【図9】

メモリ素子として磁気抵抗素子を有するメモリセル装置の部分を示す図

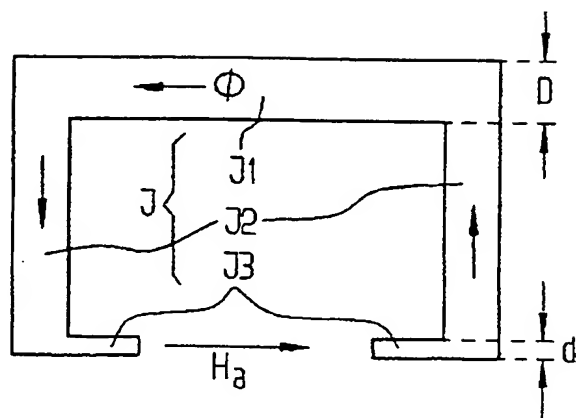
【図1A】

FIG 1 A



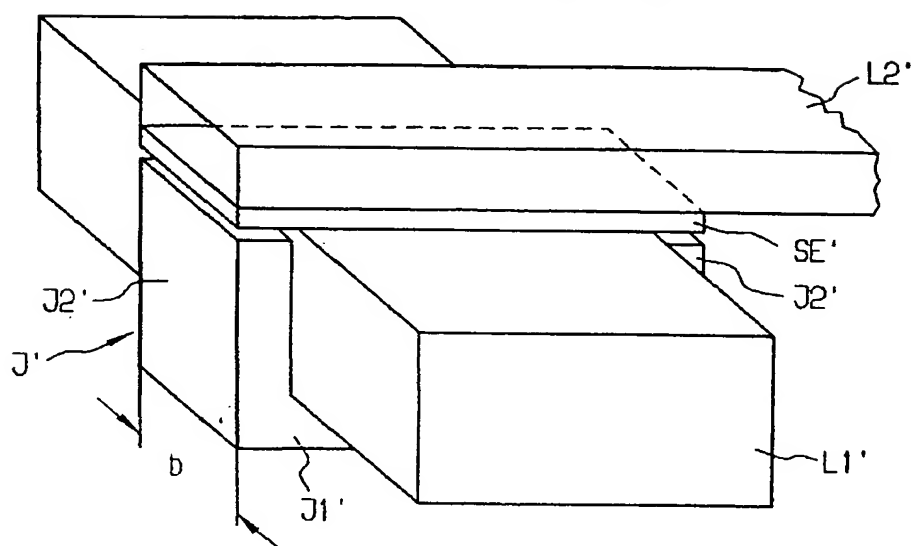
【図1B】

FIG 1B



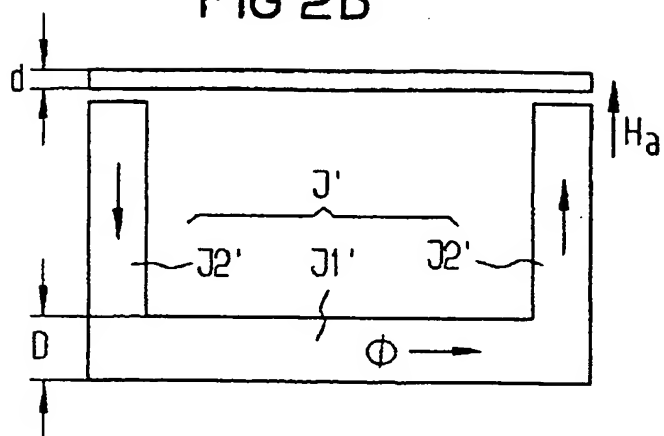
【図2A】

FIG 2A



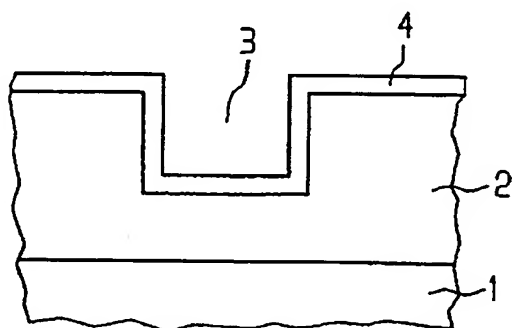
【図2B】

FIG 2B



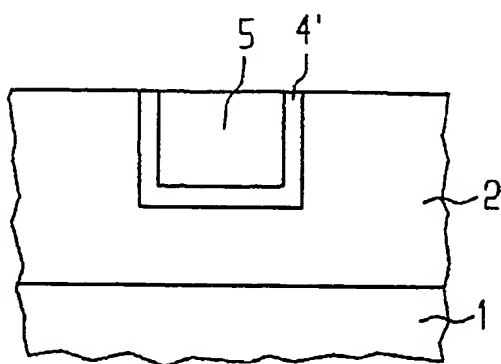
【図3】

FIG 3

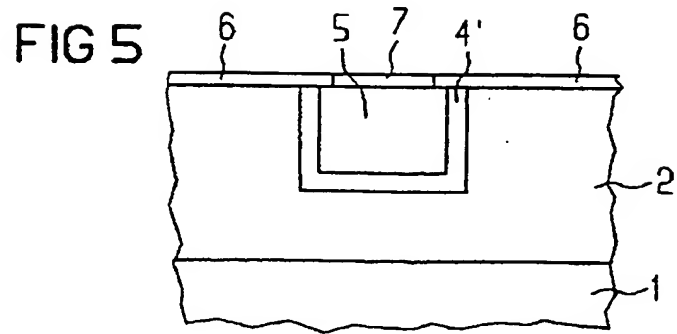


【図4】

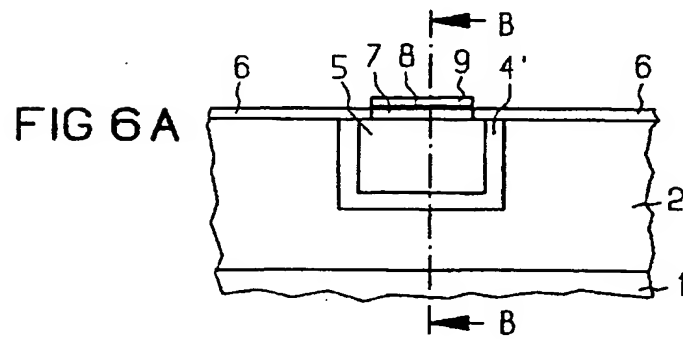
FIG 4



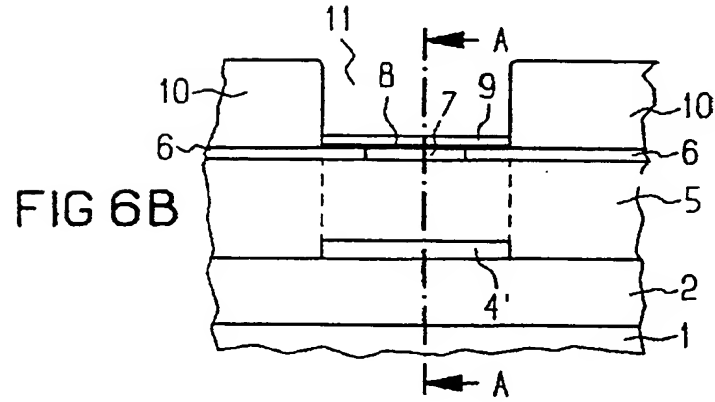
【図5】



【図6A】

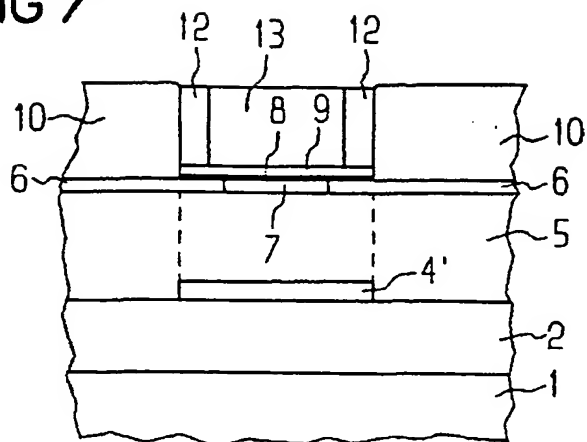


【図6B】



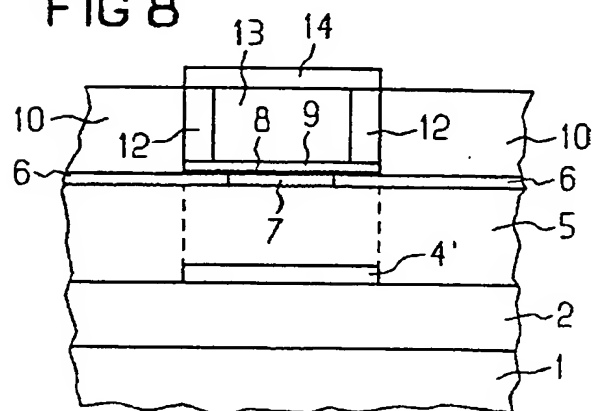
【図7】

FIG 7



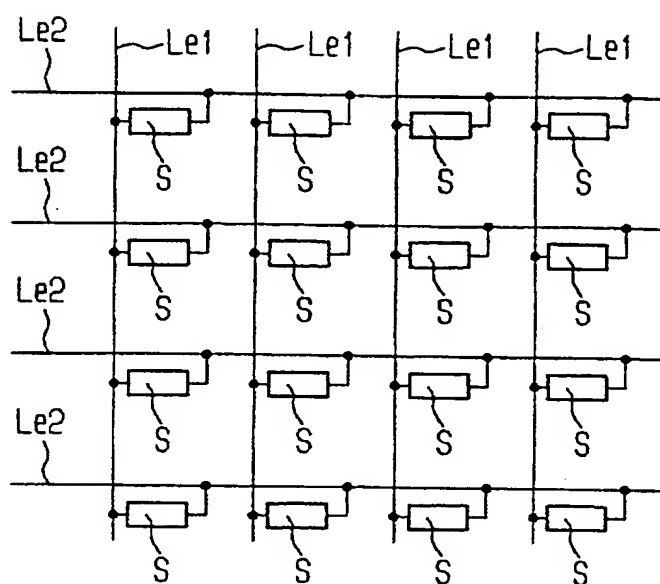
【図8】

FIG 8



【図9】

FIG 9



【手続補正書】特許協力条約第34条補正の翻訳文提出書

【提出日】平成12年9月6日(2000. 9. 6)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 メモリセル装置において、

－基板が設けられており、該基板は、主平面を有しており、その際、前記主平面上に、第1の絶縁層(2)が設けられており、

－第1の導体(L1)及び第2の導体(L2)及び磁気抵抗効果を有するメモリ素子(SE)を設け、

－前記第1の導体(L1)と前記第2の導体(L2)との交点位置に前記メモリ素子を設け、

－第1のヨーク(4')を設け、該ヨークにより、書き込みアクセス時に電流が給電される導体(L1, L2)が部分的に囲まれており、且つ、少なくとも10の相対透磁率の磁化可能材料を含み、

－前記第1のヨーク(4')は、当該第1のヨーク(4')を通る磁束が実質的に前記メモリ素子(SE)内で閉じられるように設けられており、

－メモリ素子(SE)は、前記第1の導体(L1)と前記第2の導体(L2)との間に接続されており、

－前記第1の絶縁層(2)内に溝(3)が設けられており、該溝の底部及び側面部には、ヨーク(4')が隣接していて、該溝内に、第1の導体(5)が設けられている

ことを特徴とするメモリセル装置。

【請求項2】 第1のヨーク(J)は、軟磁性、強磁性材料を含む請求項1記載のメモリセル装置。

【請求項3】 請求項2記載のメモリセル装置であって、

－基板は、主平面を有する坦体板（１）を有しており、
－メモリ素子（７，８，９）はヨークの上側且つ第１の導体（５）の表面に設けられている
メモリセル装置。

【請求項４】 請求項２記載のメモリセル装置であって、

－基板は、主平面を有する坦体板（１）を有しており、
－メモリ素子（７，８，９）の上側には、第２の導体（１３）が設けられており、
－第２のヨーク（１２，１４）は、メモリ素子（７，８，９）の上側で前記第２の導体（１３）の側面及びメモリ素子と反対側の表面に隣接しており、
－第２の絶縁層（１０）が設けられており、該絶縁層は、前記第２の導体（１３）及び前記ヨーク（１２，１４）を部分的に囲む
メモリ装置。

【請求項５】 請求項１又は２記載のメモリセル装置であって、

－ヨーク（４'）及び第２のヨーク（１２，１４）は、各々少なくとも１０の相対透磁率の磁化可能材料を含み、
－前記第２のヨークは、前記第２のヨーク（１２，１４）を通る磁束が実質的にメモリ素子（７，８，９）内で閉じられるように設けられている
メモリセル装置。

【請求項６】 請求項４記載のメモリセル装置であって、

－メモリ素子（７，８，９）は、第１のヨーク（４'）及び第１の導体（５）の上側に設けられている
メモリセル装置。

【請求項７】 請求項１から３迄の何れか１記載のメモリセル装置であって

－相互に平行に形成された第１の導体と相互に平行に形成された第２の導体とが設けられており、
－各々１つの、磁気抵抗効果のあるメモリ素子と、少なくとも１つのヨークとが、
－対の第１の導体と第２の導体との間に接続されており、前記ヨークは、前記

各導体の1つを部分的に囲み、前記ヨークは、少なくとも10の透磁率の磁化可能材料を含み、且つ、当該ヨークを通る磁束が実質的に前記メモリ素子を介して閉じられるように構成されている

メモリセル装置。

【請求項8】 請求項7記載のメモリセル装置であって、

一別のヨークが設けられており、前記別のヨークは、各々、各導体の内の他方を部分的に囲み、各々少なくとも10の透磁率の磁化可能材料を含み、前記別のヨークは、当該別のヨークを通る磁束が実質的にメモリ素子を介して閉じられるように設けられており、一対の、第1の導体の一方と第2の導体の一方との間に接続されている

メモリ装置。

【請求項9】 請求項1から8迄の何れか1記載のメモリセル装置であって

、
一単数乃至複数のメモリ素子は、各要素Fe、Ni、Co、Cr、Mn、Gd、Dyの少なくとも1つ、又は材料 Al_2O_3 、NiO、 HfO_2 、 TiO_2 、NbO、 SiO_2 の少なくとも1つを含み、

一単数乃至複数のヨークは、要素、Fe、Ni、Co、Cr、Mn、Gd、Dyの少なくとも1つを含んでいる

メモリセル装置。

【請求項10】 メモリセル装置の製造方法において、

一坦体板(1)上に第1の絶縁層(2)が堆積されており、前記第1の絶縁層(2)内に第1の溝(3)が形成されており、

一少なくとも10の透磁率の磁化可能材料製の第1のヨーク(4')が形成されており、前記第1のヨークは、前記溝(3)の側壁及び底部に隣接しており、

一前記第1の溝(3)内には、第1の導体(5)が形成されており、

一第1のヨーク(4')の上側には、磁気抵抗効果のあるメモリ素子(7, 8, 9)が形成されており、前記メモリ素子(7, 8, 9)は、前記第1の導体(5)と接続されており、

一前記メモリ素子(7, 8, 9)の上側に、第2の導体が形成されており、該第

2の導体は、メモリ素子（7，8，9）と接続されていることを特徴とする製造方法。

【請求項11】 請求項10記載の方法であって、

- －第1のヨーク（4'）の形成のために、第2の絶縁層（10）を堆積し、前記第2の絶縁層（10）に第2の溝（11）を形成し、
- －前記第2の溝（11）の側縁に、少なくとも10の透磁率の磁化可能材料製のスペーサ（12）を形成し、
- －前記第2の溝（11）内に、第2の導体（13）を形成し、
- －ヨーク部（14）を、少なくとも10の透磁率の磁化可能材料から形成し、前記ヨーク部は、メモリ素子（7，8，9）の上側で前記第2の導体（13）を部分的に被覆し、前記ヨーク部は、磁化可能材料製のスペーサ（12）と結合されており、その結果、前記スペーサ（12）及びヨーク部（14）は、第2のヨークを形成する方法。

【請求項12】 第1の導体（5）及び／又は第2の導体（13）を金属層の析出及び化学的機械的研磨によって形成する請求項10又は11記載の方法。

【国際調査報告】

INTERNATIONAL SEARCH REPORT

A. CLASSIFICATION OF SUBJECT MATTER IPC 7 G11C11/16		In: National Application No PCT/DE 99/02402
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC 7 G11C		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A A P,A A	EP 0 776 011 A (MOTOROLA INC) 28 May 1997 (1997-05-28) the whole document — PATENT ABSTRACTS OF JAPAN vol. 014, no. 296 (P-1067), 26 June 1990 (1990-06-26) & JP 02 093373 A (NIPPON DENSO CO LTD), 4 April 1990 (1990-04-04) abstract — EP 0 875 901 A (CANON KK) 4 November 1998 (1998-11-04) the whole document — US 5 039 655 A (PISHARODY RAGHAVAN K) 13 August 1991 (1991-08-13) the whole document	1,2,4,5, 12,13 3,6,11 1,2,4,5, 12 1 1-14
<input type="checkbox"/> Further documents are listed in the continuation of box C.		
<input checked="" type="checkbox"/> Patent family members are listed in annex.		
* Special categories of cited documents : "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubt on priority claim(s) or which is cited to establish the publication date of another claim or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "Z" document member of the same patent family		
Date of the actual completion of the international search 11 February 2000		Date of mailing of the international search report 18/02/2000
Name and mailing address of the ISA European Patent Office, P.B. 5018 Patentamt 2 NL - 2200 HV Rijswijk Tel. (+31-70) 340-2040, Tlx. 31 651 epo nl, Fax (+31-70) 340-8018		Authorized officer Degraeve, L

INTERNATIONAL SEARCH REPORT

Information on patent family members

i. International Application No.

PCT/DE 99/02402

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
EP 0776011	A	28-05-1997	US 5659499 A	19-08-1997
			JP 9204770 A	05-08-1997
JP 02093373	A	04-04-1990	NONE	
EP 0875901	A	04-11-1998	JP 10302456 A	13-11-1998
			JP 10302457 A	13-11-1998
			JP 11003584 A	06-01-1999
			JP 11003585 A	06-01-1999
US 5039655	A	13-08-1991	DE 4020604 A	07-02-1991
			FR 2650430 A	01-02-1991
			JP 3102699 A	30-04-1991

フロントページの続き

(51) Int. Cl.⁷
H01L 43/12

識別記号

FI
H01L 27/10

テームコード (参考)

447